

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-229763

(P2003-229763A)

(43) 公開日 平成15年8月15日 (2003.8.15)

(51) Int.Cl.⁷

H 03 L 7/081

G 06 F 1/06

13/42

H 03 L 7/08

識別記号

3 5 0

F I

G 06 F 13/42

H 03 L 7/08

G 06 F 1/04

H 03 L 7/08

マーク (参考)

3 5 0 A 5 B 0 7 7

J 5 B 0 7 9

3 1 2 Z 5 J 1 0 6

M

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号

特願2002-25724(P2002-25724)

(22) 出願日

平成14年2月1日 (2002.2.1)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 千葉 孝也

北海道札幌市北区北七条西四丁目3番地1
富士通東日本ディジタル・テクノロジ株
式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

(54) 【発明の名称】 タイミング信号発生回路および受信回路

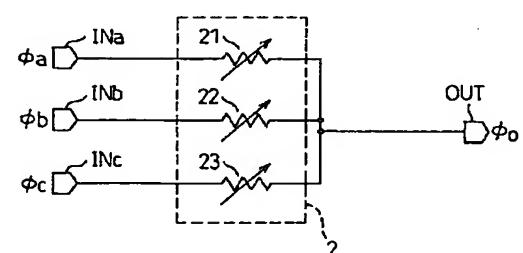
(57) 【要約】

【課題】 従来のタイミング信号発生回路において、低い電源電圧の場合には設計上の制約が多く、また、回路動作自体の信頼性にも問題があった。

【解決手段】 複数位相の入力信号 ϕ_a , ϕ_b , ϕ_c を受け取って中間位相の信号を出力するタイミング信号発生回路であって、前記複数位相の入力信号に対して可変インピーダンス手段2(21, 22, 23)を用いて重み付けを行うように構成する。

図7

本発明に係るタイミング信号発生回路の原理構成を示す図



【特許請求の範囲】

【請求項1】 複数位相の入力信号を受け取って中間位相の信号を出力するタイミング信号発生回路であって、前記複数位相の入力信号に対して可変インピーダンス手段を用いて重み付けを行うようにしたことを特徴とするタイミング信号発生回路。

【請求項2】 請求項1に記載のタイミング信号発生回路において、前記可変インピーダンス手段は、前記各相の入力信号のそれぞれに設けられた複数の可変インピーダンスユニットを備えることを特徴とするタイミング信号発生回路。

【請求項3】 請求項2に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、複数個並列に接続された抵抗素子とスイッチ素子を備え、該スイッチ素子のオンする個数によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【請求項4】 請求項2に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、複数個直列に接続された抵抗素子とスイッチ素子を備え、該スイッチ素子のオンする個数によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【請求項5】 請求項2に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、第1、第2および制御電極を有するトランジスタを備え、該第1の電極で前記各入力信号を受け取り、該第2の電極を出力とし、該制御電極に印加される電圧によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【請求項6】 請求項2に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、第1、第2および制御電極を有するトランジスタを備え、該制御電極で前記各入力信号を受け取り、該第2の電極を出力とし、該第1の電極に印加される電圧によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【請求項7】 請求項5または6に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、それぞれ複数の可変インピーダンス部を備え、該各可変インピーダンスユニットの各可変インピーダンス部をまとめて複数の可変インピーダンス群を構成したことを特徴とするタイミング信号発生回路。

【請求項8】 請求項7に記載のタイミング信号発生回路において、前記各可変インピーダンス群は、それぞれ前記複数位相の入力信号における異なる組み合わせに対して同一の重み付けを行うことを特徴とするタイミング信号発生回路。

【請求項9】 請求項8に記載のタイミング信号発生回路において、前記各可変インピーダンス群は、前記複数位相の入力信号と同じ数だけ設けられ、該入力信号と同じ複数位相の信号を出力することを特徴とするタイミン

グ信号発生回路。

【請求項10】 入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号の変化点を検出および判定する変化点検出判定回路と、該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行う位相比較回路と、該位相比較回路の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記変化点検出判定回路に第2の内部クロックを供給するクロック信号発生回路とを備える受信回路であって、前記クロック信号発生回路が、請求項1～9のいずれか1項に記載のタイミング信号発生回路であることを特徴とする受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相インターポレートするタイミング信号発生回路および該タイミング信号発生回路を備えた受信回路に関し、特に、複数のLSIチップ間や1つのチップ内における複数の素子や回路ブロック間の信号伝送、或いは、複数のボード間や複数の匡体間の信号伝送を高速化するためのタイミング信号発生回路に関する。

【0002】近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【0003】具体的に、例えば、DRAM等の主記憶装置とプロセッサとの間 (LSI間) の信号伝送速度がコンピュータ全体の性能向上の妨げになりつつある。さらに、サーバと主記憶装置或いはネットワークを介したサーバ間といった匡体やボード (プリント配線基板) 間の信号伝送だけでなく、半導体チップの高集積化並びに大型化、および、電源電圧の低電圧化 (信号振幅の低レベル化) 等により、チップ間の信号伝送やチップ内における素子や回路ブロック間での信号伝送においても信号伝送速度の向上が必要になって来ている。

【0004】そして、基準クロックに同期して所定の位相差を有する複数のタイミング信号を、簡単な構成でしかも高精度に発生することができるタイミング信号発生回路の提供が要望されている。さらに、近年、低電力化やトランジスタプロセスの微細化等により電源電圧が低下する傾向にあり、低い電源電圧でも動作可能なタイミング信号発生回路の提供も要望されている。

【0005】

【従来の技術】LSI間の信号伝送を高速化するには、

送られてくる信号に対して受信回路が正確なタイミングで動作する（データの検出および判定を行う）ことが必要である。従来、このような正確なタイミングのクロック（内部クロック）を発生させるために、帰還ループ型のクロック発生回路（位相可変タイミング信号発生回路）を用いたクロック復元回路を信号受信回路に設ける手法が知られている。ここで、クロック復元における位相可変の重みの値は、例えば、外部からの入力クロックと内部クロックとの位相比較を行う位相比較回路から発生される。

【0006】図1は従来のクロック復元回路を含む受信回路の一例を概略的に示すブロック図である。図1において、参照符号101はデータ検出判定回路、102は変化点検出判定回路、103はタイミング信号発生回路（位相可変タイミング信号発生回路：位相インターポレータ）、そして、104は位相比較回路を示している。また、参照符号DILはデータ入力ライン、DOLはデータ出力ライン、DCLはデータ検出用クロックライン、BCLは変化点検出用クロックライン、そして、FLはフィードバックラインを示している。

【0007】図1に示されるように、従来の受信回路（クロック復元回路）は、タイミング信号発生回路103に対して基準クロックを与え、その入力された基準クロックに重み付き和を積分および比較することで重みの値に対応した位相のクロック（CLKd, CLKb）を発生し、データ検出用クロックCLKdをデータ検出判定回路101に供給すると共に、変化点検出用クロックCLKbを変化点検出判定回路102に供給する。

【0008】ここで、データ検出用クロックCLKdは、入力信号の再生（検出）を行うためのタイミング信号であり、また、変化点検出用クロックCLKbは、入力信号の変化点を検出するためのタイミング信号である。なお、データ検出用クロックCLKdと変化点検出用クロックCLKbとの位相差は、入力信号1ビットの90°程度に相当する位相関係になるようにされている。

【0009】位相比較回路104は、入力されたデータ検出判定回路101および変化点検出判定回路102の出力を比較処理して、フィードバックラインFLを介してフィードバック信号（制御信号）をタイミング信号発生回路103にフィードバック（帰還）する。

【0010】帰還ループの動作は、データ検出判定回路101は、タイミング信号発生回路103の出力であるデータ検出用クロックCLKdに基づいて入力信号を再生（検出）し、また、変化点検出判定回路102はタイミング信号発生回路103の出力である変化点検出用クロックCLKbに基づいて入力信号の変化点を検出する。

【0011】位相比較回路104は、データ検出判定回路101の出力と変化点検出判定回路102の出力をと

比較し、タイミング信号（データ検出用クロックCLKdおよび変化点検出用クロックCLKb）が適正な位相にあるかどうかを判定し、位相を進めるか、或いは、遅らせるかの位相制御信号をタイミング信号発生回路103に出力する。さらに、タイミング信号発生回路103は、位相比較回路104からの位相制御信号に応じて位相補正を行い、新たな位相のタイミング信号（CLKd, CLKb）を各検出判定回路（101, 102）に出力する。

【0012】以上の動作を繰り返すことにより帰還ループは、後述する図5に示すように変化点検出用クロックCLKb（CLKb1～CLKb4）が入力信号の変化点付近に収束する。ここで、入力信号1ビットに対して90°の位相差のあるデータ検出用クロックCLKd（CLKd1～CLKd4）は、入力信号の中央の位相関係となり、正確なタイミングで信号の再生を行うことができる。

【0013】以上の帰還ループを実現するためには、高精度のタイミング信号を発生することが可能なタイミング信号発生回路が必要となる。なお、クロック復元回路（クロックリカバリー回路）は、入力信号からデータ検出用のクロックを復元する点に注目して与えた名称であり、また、受信回路は、復元されたクロックを用いてデータ検出判定回路が入力信号のデータを検出および判定して出力する点に注目して与えたものである。

【0014】図2は図1の受信回路におけるタイミング信号発生回路103の一例を示すブロック回路図であり、図3は図2のタイミング信号発生回路の動作を説明するための波形図である。図2において、参照符号103aは位相合成回路（位相ミキサー）、103bはデジタル・アナログ変換器（D/Aコンバータ）、そして、103cはコンパレータを示している。

【0015】位相合成回路103aは、例えば、四相クロック（基準クロック） $\phi 0, \phi 0X, \phi 1, \phi 1X$ 、並びに、D/Aコンバータ103bの出力を受け取って、重み（D/Aコンバータ103bの出力）を各クロックに与えることにより、各クロックの中間の位相を有する出力クロック $\theta(\theta X)$ を、コンパレータ103cを介して出力する。ここで、四相クロックは、周波数が等しく位相が互いに90°異なるクロックであり、クロック $\phi 0$ はクロック $\phi 0X$ と位相が180°異なり、また、クロック $\phi 1$ はクロック $\phi 1X$ と位相が180°異なっている。

【0016】すなわち、図2に示されるように、位相合成回路103aは、四相クロック $\phi 0, \phi 0X, \phi 1, \phi 1X$ を入力とする4つの差動対トランジスタ133, 134、全ての差動対トランジスタに対して共通に設けられたの負荷トランジスタ131, 132、および、各差動対トランジスタにそれぞれ設けられ、D/Aコンバータ103bの出力に応じてバイアス電流の値を変化さ

せて重み付けを行う電流源トランジスタ136(135)を備えている。なお、差動アンプ(差動入力トランジスタ)を流れる電流の制御を行うバイアス電流源トランジスタ136は、D/Aコンバータ103bの出力により電流が制御されるトランジスタ135とカレントミラー接続されている。

【0017】さらに、位相合成回路103aにおいて、四相クロック ϕ_0 , ϕ_{0X} , ϕ_1 , ϕ_{1X} (2つの位相の基準クロック)に重みを付けて足し合わされた後、コンバータ103cを通過することにより、2つの入力クロックの中間位相を得るようになっている。なお、上述したように、D/Aコンバータ103bは、位相比較回路104から位相を進めるか或いは遅らせるかを決定する位相制御信号を受け取り、重み付け信号を生成している。

【0018】図3は図2のタイミング信号発生回路の動作を説明するための波形図である。

【0019】図3に示されるように、図2のタイミング信号発生回路により、 $\phi_0 = \sin(t)$, $\phi_1 = \cos(t)$ とすると、例えば、 ϕ_0 に $(1-x)$ の重み付けがされ、また、 ϕ_1 に (x) の重み付けがされて、合成された信号(出力クロック) θ は、 $\theta = (1-x) \cdot \sin(t) + x \cdot \cos(t)$ となる。

【0020】図4はクロック復元回路を含む受信回路の例を概略的に示すブロック図であり、4-way \times 2型のインターリープ回路として構成したものである。図4において、参照符号111～114はデータ検出ユニット、121～124は変化点検出ユニット、103はタイミング信号発生回路、そして、104は位相比較回路を示している。

【0021】図4に示されるように、受信回路は、タイミング信号発生回路103に対して2組の差動クロック(ϕ_0 , ϕ_{0X} ; ϕ_1 , ϕ_{1X})を4位相の入力信号(四相クロック)として与え、そのタイミング信号発生回路103によりそれらの入力信号の重み付き和を積分および比較し、重みの値に対応した位相のクロック(CLKd, CLKb)を発生している。

【0022】クロックCLKdは、データ検出ユニット(データ検出判別回路)111～114に与えられるもので、例えば、それぞれ90度の位相差を有する4つのデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4により構成される。

【0023】クロックCLKbは、変化点検出ユニット(変化点検出判別回路)121～124に与えられるもので、例えば、それぞれ90度の位相差を有する4つの変化点検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4により構成される。なお、各データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4と各変化点検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4とは、それぞれ45度の位相差

を有している。

【0024】従って、例えば、入力データラインDILに対して2.5G[bps]の速度でデータが供給される場合、各データ検出ユニット111～114および変化点検出ユニット121～124は、それぞれ625MHzのクロックでインターレース動作を行うことになる。

【0025】データ検出ユニット111～114は、例えば、それぞれ625MHzのクロック(データ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4)により駆動され、入力データラインDILに供給された入力信号のデータを検出および判定し、受信データ(再生信号)として出力する。また、データ検出ユニット111～114の出力は、位相比較回路104にも供給される。

【0026】同様に、変化点検出ユニット121～124は、例えば、それぞれ625MHzのクロック(変化点検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4)により駆動され、入力データラインDILに供給された入力信号のデータの変化点を検出および判定して位相比較回路104に供給する。

【0027】位相比較回路104は、入力されたデータ検出ユニット111～114および変化点検出ユニット121～124の出力を比較処理して、フィードバックラインFLを介してフィードバック信号をタイミング信号発生回路103に供給(フィードバック)する。

【0028】図5は受信回路における各信号のタイミングを示す図であり、入力信号と、図1におけるデータ検出判定回路101に供給されるデータ検出用クロックCLKdおよび変化点検出用クロックCLKbの位相関係、或いは、図4における各データ検出ユニット111～114に供給されるデータ検出ユニット制御信号CLKd1～CLKd4および各変化点検出ユニット121～124に供給される変化点検出ユニット制御信号CLKb1～CLKb4の位相関係を示すもので、それぞれ等間隔になっている。すなわち、データ検出用クロックCLKd(CLKd1～CLKd4)と変化点検出用クロックCLKb(CLKb1～CLKb4)とは、入力信号の伝送速度の1ビットに対して90°の位相差(1/2の位相差)を持たせて等間隔の位相関係になるようにされている。これにより、変化点検出用クロックCLKbが入力信号の変化点の位相にあるとき、データ検出用クロックCLKdが入力信号の中央の位相に来るうことになる。

【0029】なお、図5において、参照符号CLKd-01は、データ検出判定回路101(特定のデータ検出ユニット: 例えば、データ検出ユニット111)に供給されるデータ検出用クロックCLKd(データ検出ユニット制御信号CLKd1)の任意の立ち上がりタイミングを示し、また、CLKd-02は、そのデータ検出用クロックC

CLKd (データ検出ユニット制御信号CLKd1) の立ち上がりタイミングCLKd-01の直後の立ち上がりタイミングを示している。さらに、参照符号CLKb-01は、変化点検出判定回路102 (変化点検出ユニット121) に供給される変化点検出用クロックCLKb (変化点検出ユニット制御信号CLKb1) において、データ検出用クロックCLKd (データ検出ユニット制御信号CLKd1) の立ち上がりタイミングCLKd-01およびCLKd-02の間の立ち上がりタイミングを示している。

【0030】

【発明が解決しようとする課題】前述した図2に示す従来のタイミング信号発生回路は、高精度なタイミング信号を発生することはできるが、非常に低い電源電圧 (例えば、1.0V程度) で使用する場合には、解決しなければならない課題が生じる。

【0031】すなわち、電源電圧を低電圧化する場合、特に、図2における位相合成回路103aが問題となる。

【0032】図6は図2のタイミング信号発生回路における位相合成回路の要部を抜粋して示す図である。

【0033】図6に示されるように、図2に示す従来のタイミング信号発生回路103における位相合成回路103aは差動アンプ構成であり、負荷トランジスタ131, 132、信号入力トランジスタ (差動入力トランジスタ) 133, 134、および、電流源トランジスタ136 (135) の3段縦にトランジスタを積んだ構成となっている。そのため、与えられる電源電圧を分割し、各段トランジスタに必要となる電圧を確保する必要がある。

【0034】電流源トランジスタ136は、理想的には電流値の変動が少ないようにトランジスタの飽和領域で使用する必要があり、トランジスタのソースドレイン間電圧Vdsを充分大きく (通常、最低限で0.4V程度以上) 取る必要がある。また、負荷トランジスタ131, 132に必要とされる電圧は、位相合成回路103aの出力振幅に相当する。

【0035】位相合成回路の出力振幅は、ノイズ等からの影響を低減するために、できる限り大きくする必要がある。従って、例えば、電源電圧を1.0Vとした場合には、出力振幅を0.4V確保すると、信号入力トランジスタ133, 134に残された電圧は0.2Vとなってしまう。

【0036】信号入力トランジスタ133, 134は、電源電圧から電流源トランジスタ136および負荷トランジスタ131, 132で必要な電圧を差し引いた残りの電圧で駆動されることになるが、信号入力トランジスタ133, 134のVdsが小さすぎる場合には、必要なゲインを確保することが困難になる。

【0037】すなわち、電流源トランジスタを飽和領域で動作させることと、出力振幅を大きく取ることは相反

する事項である。特に、電流源トランジスタの飽和領域を広げるためには、トランジスタサイズを大きくしなければならないが、電流源トランジスタのサイズが大きくなるとタイミング信号発生回路 (位相合成回路) の占有面積が大きくなつて好ましくない。また、入力信号トランジスタのVdsが充分確保できない場合、必要なゲインを確保するためには、トランジスタサイズを大きくして、トランジスタのgmを大きくすることが考えられるが、入力信号トランジスタサイズのサイズを大きくすると、占有面積が大きくなるだけでなく、信号入力トランジスタのゲート容量も増大するため高速に動作させることができ困難になる。

【0038】また、非常に低い電源電圧から電源電圧変動を考慮し、その低い電源電圧がさらに低下した場合を想定すると、各段のトランジスタに必要な電圧を確保することができず、最悪の場合には回路が全く動作しないことも考えられる。

【0039】このように、従来のタイミング信号発生回路において、低い電源電圧の場合には設計上の制約が多く、また、回路動作自体の信頼性にも問題があった。

【0040】本発明は、上述した従来技術が有する課題に鑑み、低い電源電圧でも動作可能であり、且つ、簡単な構成でしかも高精度にタイミング信号を発生することができるタイミング信号発生回路の提供を目的とする。

【0041】

【課題を解決するための手段】本発明の第1の形態によれば、複数位相の入力信号を受け取って中間位相の信号を出力するタイミング信号発生回路であって、前記複数位相の入力信号に対して可変インピーダンス手段を用いて重み付けを行うようにしたことを特徴とするタイミング信号発生回路が提供される。

【0042】本発明の第2の形態によれば、入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号の変化点を検出および判定する変化点検出判定回路と、該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行う位相比較回路と、該位相比較回路の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記変化点検出判定回路に第2の内部クロックを供給するクロック信号発生回路とを備える受信回路が提供される。ここで、クロック信号発生回路は、複数位相の入力信号を受け取って中間位相の信号を出し、前記複数位相の入力信号に対して可変インピーダンス手段を用いて重み付けを行うようにしたことを特徴とするタイミング信号発生回路として構成される。

【0043】図7は本発明に係るタイミング信号発生回路の原理構成を示す図である。図7において、参照符号2は可変インピーダンス回路、21, 22, 23は可変インピーダンスユニット、INA, INB, INCは入力端子、そして、OUTは出力端子を示している。ま

た、参照符号 ϕa , ϕb , ϕc は基準クロックを示し、例えば、周波数が等しく位相が互いに 120° 異なる三相クロックであり、また、 ϕo は位相合成された出力クロックを示している。なお、本発明のタイミング信号発生回路において、基準クロックは三相クロックに限定されるものではなく、異なる位相差を有する複数のクロックを使用することができるのには今までもない。

【0044】図7に示されるように、本発明に係るタイミング信号発生回路は、複数の可変インピーダンスユニット（例えば、3つの可変インピーダンスユニット21, 22, 23）を有する可変インピーダンス回路2を備え、複数位相の基準クロック（例えば、三相クロック ϕa , ϕb , ϕc ）を受け取って位相合成する。すなわち、各可変インピーダンスユニット21, 22, 23のインピーダンス値を変化させて、それぞれ入力端子INa, INb, INCに供給される各基準クロック ϕa , ϕb , ϕc に対する重み付けを行い、その和として抵抗分圧値となる信号合成出力（出力クロック） ϕo を出力端子OUTから得るようになっている。

【0045】本発明によれば、例えば、図2および図6を参照して説明した従来のタイミング信号発生回路のようにトランジスタを縦積みする必要がないため、低電源電圧でも設計上の制約が少なく、また、高速動作にも支障がないタイミング信号発生回路を構成することができる。

【0046】そして、本発明のタイミング信号発生回路によれば、低い電源減圧でも動作可能であり、且つ、簡単な構成でしかも高精度にタイミング信号を発生することができる。

【0047】

【発明の実施の形態】以下、本発明に係るタイミング信号発生回路の各実施例を、添付図面を参照して詳述する。

【0048】図8は本発明に係るタイミング信号発生回路の第1実施例を示す回路図である。

【0049】図8に示されるように、本第1実施例のタイミング信号発生回路は、3つの可変インピーダンスユニット21, 22, 23を有する可変インピーダンス回路2を備え、入力端子INa, INb, INCで三相クロック（基準クロック） ϕa , ϕb , ϕc を受け取って位相合成している。

【0050】各可変インピーダンスユニット21(22, 23)は、並列接続された抵抗（抵抗素子）およびトランジスタ（スイッチ素子：例えば、NMOSトランジスタ）の組がm個（211R, 211T; 212R, 212T; …; 21mR, 21mT）直列に接続された構成とされており、各トランジスタ211T～21mTのゲートに供給する制御信号のレベルを制御することにより、インピーダンスを調整している。

【0051】

すなわち、本第1実施例のタイミング信号

発生回路では、各可変インピーダンスユニット21(22, 23)において、トランジスタ211T～21mTがオンする個数が多い程、抵抗値が低下するためインピーダンスの調整が可能となる。そして、このインピーダンス調整を各可変インピーダンスユニット21, 22, 23で行うことにより、それぞれ入力端子INa, INb, INCに供給される各基準クロック ϕa , ϕb , ϕc に対する重み付けを行って和を取ることにより、位相合成された出力クロック ϕo を出力端子OUTから取り出している。

【0052】図9は本発明に係るタイミング信号発生回路の第2実施例を示す回路図である。

【0053】図9と図8との比較から明らかのように、本第2実施例のタイミング信号発生回路において、各可変インピーダンスユニット21(22, 23)は、直列接続された抵抗（抵抗素子）およびトランジスタ（スイッチ素子）の組がm個（211R, 211T; 212R, 212T; …; 21mR, 21mT）並列に接続された構成とされており、各トランジスタ211T～21mTのゲートに供給する制御信号のレベルを制御することにより、インピーダンスを調整している。

【0054】すなわち、上述した第1実施例のタイミング信号発生回路では、トランジスタ211T～21mTがオフすると対応する抵抗211R～21mRが可変インピーダンスユニット21のインピーダンスに作用するのに対して、本第2実施例では、トランジスタ211T～21mTがオフすると対応する抵抗211R～21mRは可変インピーダンスユニット21のインピーダンスに作用しないことになる。

【0055】以上において、抵抗素子およびスイッチ素子（トランジスタ）はLSIで容易に実現することができる。なお、上記の第1および第2実施例では、入力端子数が3（INa, INb, INC）であるが、可変インピーダンスユニットの個数を増加させることで、いくつでも入力端子数（基準クロックの数）を増加させることができ可能である。すなわち、基準クロックは三相クロックに限定されるものではなく、異なる位相差を有する複数のクロックを使用することができる（以下に述べる他の実施例も同様）。また、各可変インピーダンスユニットにおける各抵抗は、全て同一の値に設定してもよいが、同一の値とせずに、例えば、1:2:4:8:…といった異なる値として設定することもできる。

【0056】図10は本発明に係るタイミング信号発生回路の第3実施例を示す回路図である。

【0057】図10に示されるように、本第3実施例のタイミング信号発生回路では、各可変インピーダンスユニット21, 22, 23を1つのトランジスタ（NMOSトランジスタ）で構成し、各トランジスタ21, 22, 23のゲートに対して制御信号CSa, CSb, CSCを供給する。

【0058】すなわち、本第3実施例のタイミング信号発生回路においては、制御信号CSa, CSb, CSCの電圧値を制御することで、各トランジスタ21, 22, 23のゲート電圧に重みを付け、これにより各トランジスタのオン抵抗を変化させてインピーダンスの調整を行っている。

【0059】図11は本発明に係るタイミング信号発生回路の第4実施例を示す回路図である。

【0060】図11と図10との比較から明らかなように、本第4実施例のタイミング信号発生回路は、制御信号CSa, CSb, CSCの電流値を制御することで、各トランジスタ（可変インピーダンスユニット）21, 22, 23におけるインピーダンスの調整を行っている。

【0061】すなわち、本第4実施例のタイミング信号発生回路において、各電流制御信号CSa, CSb, CSCは、それぞれソースが低電位電源線に接続されたNMOSトランジスタ31, 32, 33のゲートおよびドレインに供給されて電流-電圧変換されると共に、インピーダンス調整を行うトランジスタ21, 22, 23のゲートに供給されている。

【0062】図12は本発明に係るタイミング信号発生回路の第5実施例を示す回路図である。

【0063】図12と図10との比較から明らかなように、本第5実施例のタイミング信号発生回路は、図10に示す第3実施例のように各可変インピーダンスユニット21(22, 23)をNMOSトランジスタ(21)だけで構成するのではなく、NMOSトランジスタ211およびPMOSトランジスタ212により構成している。

【0064】すなわち、上述した第3実施例（第4実施例）のタイミング信号発生回路のように、可変インピーダンスユニットをNMOSトランジスタ（21）だけで構成したのでは低い電圧領域のみしか動作しないため、本第5実施例のタイミング信号発生回路においては、可変インピーダンスユニット21を並列接続されたNMOSトランジスタ211およびPMOSトランジスタ212により構成して動作電圧領域を広げるようになっている。

【0065】換言すると、可変インピーダンスユニットをNMOSトランジスタ（21）だけで構成すると、そのNMOSトランジスタのドレイン、ソースの電圧がゲート電圧を超え、可変インピーダンスユニット（NMOSトランジスタ）のインピーダンス値が非常に高い領域となって出力振幅が制限されてしまう場合がある。これに対して、本第5実施例のタイミング信号発生回路ように、可変インピーダンスユニット21を並列接続されたNMOSトランジスタ211およびPMOSトランジスタ212で構成することにより、一方のトランジスタ（例えば、NMOSトランジスタ211）が動作できな

い電圧領域においては、他方のトランジスタ（例えば、PMOSトランジスタ212）が動作できるため、出力振幅が制限されずに済むことになる。

【0066】なお、本第5実施例のタイミング信号発生回路において、制御信号は、各可変インピーダンスユニット21(22, 23)におけるNMOSトランジスタ211のゲートに供給する制御信号CSa1, CSb1, CSC1、および、各可変インピーダンスユニット21(22, 23)におけるPMOSトランジスタ212のゲートに供給する制御信号CSa2, CSb2, CSC2を使用することになる。

【0067】図13は本発明に係るタイミング信号発生回路の第6実施例を示す回路図である。

【0068】図13と図12との比較から明らかなように、本第6実施例のタイミング信号発生回路では、各可変インピーダンスユニット21, 22, 23に対する1つの電流制御信号CSa, CSb, CSCからそれぞれの可変インピーダンスユニットにおけるNMOSトランジスタ211およびPMOSトランジスタ212のゲートに供給する信号（制御信号CSa1, CSb1, CSC1およびCSa2, CSb2, CSC2に対応）を生成する。

【0069】すなわち、各可変インピーダンスユニット21(22, 23)に対する制御信号（電流制御信号）CSaは、図11に示す第4実施例と同様に、NMOSトランジスタ311により電流-電圧変換されて各可変インピーダンスユニット21におけるNMOSトランジスタ211のゲートに供給され、さらに、NMOSトランジスタ311とカレントミラー接続されたNMOSトランジスタ312を介してPMOSトランジスタ313に電流制御信号CSaが流れ、このPMOSトランジスタ313により電流-電圧変換された制御信号が各可変インピーダンスユニット21におけるPMOSトランジスタ212のゲートに供給されている。

【0070】図14は本発明に係るタイミング信号発生回路の第7実施例を示す回路図である。

【0071】図14に示されるように、可変インピーダンス回路2は、それぞれNMOSトランジスタで構成された3つの可変インピーダンスユニット21, 22, 23を備えている。本第7実施例のタイミング信号発生回路において、各NMOSトランジスタ（可変インピーダンスユニット）21, 22, 23のゲートには、それぞれ入力端子INA, INB, INCを介して三相クロック（基準クロック） ϕ_a , ϕ_b , ϕ_c が供給され、各NMOSトランジスタ21, 22, 23のドレインに対して制御信号CSa, CSb, CSCが入力されている。そして、本第7実施例のタイミング信号発生回路は、各NMOSトランジスタ（21, 22, 23）のゲートに供給された基準クロック（ ϕ_a , ϕ_b , ϕ_c ）をそれぞれ対応するドレイン電圧（制御信号CSa, CSb, CSC

S_c)で制御して重み付け(トランジスタのオン抵抗を変化させてインピーダンスの調整)を行い、それらの和を取ることで位相合成された出力クロック ϕ_0 を出力端子OUTから取り出している。

【0072】図15は本発明に係るタイミング信号発生回路の第8実施例を示す回路図である。

【0073】図15に示されるように、本第8実施例のタイミング信号発生回路は、可変インピーダンス回路2における各可変インピーダンスユニット21, 22, 23の入力段および出力段にバッファ(本実施例では、インバータ)を設けている。すなわち、例えば、前述した図7に示すタイミング信号発生回路において、各可変インピーダンスユニット21, 22, 23は、入力インピーダンスが低くて出力インピーダンスが高い構成であるため、その入力段にインバータ41, 42, 43を設けると共に、その出力段(共通の出力段)にインバータ40を設けるようになっている。

【0074】図16は図15のタイミング信号発生回路におけるインバータ40(41, 42, 43)の構成を示す図である。

【0075】図15のタイミング信号発生回路におけるインバータ40(41, 42, 43)は、例えば、PMOSトランジスタ401およびNMOSトランジスタ402より成る単純なCMOSインバータ回路を用いることができる。なお、このCMOSインバータ回路は、PMOSトランジスタ401またはNMOSトランジスタ402のどちらかをオン/オフさせる動作のため、低電源電圧でも動作に支障を来すことがない。

【0076】特に、出力段のインバータ(出力段バッファ)40について、例えば、前述した図2に示す従来のタイミング信号発生回路では回路構成上の制約から、位相合成回路103aの出力振幅が制限されるため、ゲインの大きなコンバレータ103cを用いて信号を再生する必要があった。これに対して、本発明に係る各実施例においては、原理的に出力振幅を制限する制約が少ないため、最大で電源電圧の幅の出力振幅を得ることができ、その結果、出力バッファはそれ程大きなゲインを要求されることはなく、構成を簡単にすることができます。

【0077】図17は本発明に係るタイミング信号発生回路の第9実施例を示す回路図である。

【0078】本第9実施例のタイミング信号発生回路は、基準クロックとして、上述した三相クロックではなく、互いに位相が90°異なる四相クロック ϕ_0 , ϕ_0X , ϕ_1 , ϕ_1X を使用し、さらに、より高速動作を可能するために回路を差動化して信号品質の劣化を抑制するようになっている。

【0079】図17に示されるように、4つの入力端子IN1, IN2, IN3, IN4に対しては、四相クロック ϕ_0 , ϕ_1 , ϕ_0X , ϕ_1X が供給され、それぞれ差動のバッファ51, 52, 53, 54を介して互いに

180°の位相差を有するクロックがそれぞれ第1の可変インピーダンス群(21a, 22a, 23a, 24a)および第2の可変インピーダンス群(23b, 24b, 21b, 22b)に供給される。ここで、第1の可変インピーダンス群は、4つの可変インピーダンス部21a, 22a, 23a, 24aを有し、また、第2の可変インピーダンス群は、4つの可変インピーダンス部21b, 22b, 23b, 24bを有している。

【0080】すなわち、第1の可変インピーダンス群において、可変インピーダンス部21aは入力バッファ51を介して入力される0°のクロック(ϕ_0)に対して重み付けを行い、可変インピーダンス部22aは入力バッファ52を介して入力される90°のクロック(ϕ_1)に対して重み付けを行い、可変インピーダンス部23aは入力バッファ53を介して入力される180°のクロック(ϕ_0X)に対して重み付けを行い、可変インピーダンス部24aは入力バッファ54を介して入力される270°のクロック(ϕ_1X)に対して重み付けを行い、そして、これらの重み付けされた信号の和が出力バッファ50を介して出力端子OUTから出力クロック ϕ_0 として出力される。

【0081】同様に、第2の可変インピーダンス群において、可変インピーダンス部21bは入力バッファ53を介して入力される0°のクロック(ϕ_0)に対して重み付けを行い、可変インピーダンス部22bは入力バッファ54を介して入力される90°のクロック(ϕ_1)に対して重み付けを行い、可変インピーダンス部23bは入力バッファ51を介して入力される180°のクロック(ϕ_0X)に対して重み付けを行い、可変インピーダンス部24bは入力バッファ52を介して入力される270°のクロック(ϕ_1X)に対して重み付けを行い、そして、これらの重み付けされた信号の和が出力バッファ50を介して出力端子OUTXから出力クロック ϕ_0X として出力される。

【0082】以上において、例えば、第1の可変インピーダンス群においてクロック ϕ_0 の重み付けを行う可変インピーダンス部21aと、第2の可変インピーダンス群においてクロック ϕ_0X の重み付けを行う可変インピーダンス部23bとは、同一の重み付け(同じインピーダンス調整)が行われるようになっている。すなわち、第1の可変インピーダンス群における四クロック ϕ_0 , ϕ_1 , ϕ_0X , ϕ_1X に対する重み付けと、第2の可変インピーダンス群における四クロック ϕ_0X , ϕ_1X , ϕ_0 , ϕ_1 (第1の可変インピーダンス群における四クロックとは相補の関係にある四相クロック)に対する重み付けとは同じであり、従って、出力クロック ϕ_0 と ϕ_0X は、同様の位相調整が行われ、且つ、互いに位相が180°異なる信号となる。なお、各可変インピーダンス部は、前述した各実施例における様々な可変インピーダンスユニットの構成を適用することができる。

【0083】上記の第9実施例のタイミング信号発生回路では、四相クロックを入力として構成したが、例えば、互いに位相が 60° 異なる六相クロックや、互いに位相が 45° 異なる八相クロック等を使用して入力の位相を増加させることもできるのはいうまでもない。

【0084】図18は本発明に係るタイミング信号発生回路の第10実施例を示す回路図である。

【0085】図18と図17との比較から明らかなように、本第10実施例のタイミング信号発生回路は、入力段のバッファ（差動バッファ）を削減したものであり、相補のクロック $\phi 0$, $\phi 0X$ および $\phi 1$, $\phi 1X$ に対してそれぞれ1つずつ入力バッファを設ける（5a, 5b）ようにしている。

【0086】図19は本発明に係るタイミング信号発生回路の第11実施例を示す回路図である。

【0087】上述した図17の第9実施例および図18の第10実施例のタイミング信号発生回路は、重み付けされた（位相合成された） 180° の位相差を有する差動（相補）の出力クロック $\phi 0$, $\phi 0X$ を発生するようになっているが、本第11実施例では、重み付けされた 90° の位相差を有する出力クロック $\phi 01$, $\phi 02$ を発生するようになっている。

【0088】図19に示されるように、本第11実施例のタイミング信号発生回路は、出力バッファ（インバータ）501を介して第1の位相合成端子（出力端子）OUT1に接続される第1の可変インピーダンス群と、第1の可変インピーダンス群の入力端子より分岐し、出力バッファ502を介して第2の位相合成端子OUT2に接続される第2の可変インピーダンス群を備える。すなわち、第1の可変インピーダンス群は、4つの可変インピーダンス部21a, 22a, 23a, 24aを有し、また、第2の可変インピーダンス群は、4つの可変インピーダンス部21b, 22b, 23b, 24bを有している。各入力端子IN1, IN2, IN3, IN4に入力された四相クロック $\phi 0$, $\phi 1$, $\phi 0X$, $\phi 1X$ は、それぞれ入力バッファ（インバータ）51, 52, 53, 54を介して各可変インピーダンス部に供給される。

【0089】ここで、図19に示されるように、例えば、第1の可変インピーダンス群におけるクロック $\phi 0$ および $\phi 1$ が供給された可変インピーダンス部21aおよび22aに対して重み（201）を付け、且つ、第2の可変インピーダンス群におけるクロック $\phi 1$ （クロック $\phi 0$ と 90° の位相差を有するクロック）および $\phi 0X$ （クロック $\phi 1$ と 90° の位相差を有するクロック）が供給された可変インピーダンス部22bおよび23bに対して重み（201）と同一の重み（202）を付け、それぞれ位相合成して出力端子OUT1およびOUT2から出力クロック $\phi 01$ および $\phi 02$ を出力する。なお、第1の可変インピーダンス群におけるクロック ϕ

$0X$ および $\phi 1X$ が供給された可変インピーダンス部23aおよび24aに対する重みと、第2の可変インピーダンス群におけるクロック $\phi 1X$ （クロック $\phi 0X$ と 90° の位相差を有するクロック）および $\phi 0$ （クロック $\phi 1X$ と 90° の位相差を有するクロック）が供給された可変インピーダンス部24bおよび21bに対する重みも同一の重みとされている。これにより、同一の重みが与えられ、 90° の位相差を有する出力クロック $\phi 01$ および $\phi 02$ を生成することができる。

【0090】図20は本発明に係るタイミング信号発生回路の第12実施例を示す回路図である。この図20に示すタイミング信号発生回路の第12実施例は、上述した図19の第11実施例を応用したもので、互いに 90° の位相差を有する四相クロック（基準クロック） $\phi 0$, $\phi 1$, $\phi 0X$, $\phi 1X$ を入力として任意の位相を持たせるように制御した四相の出力クロック $\phi 01$, $\phi 02$, $\phi 03$, $\phi 04$ を取り出すようにしたものである。なお、四相の出力クロック $\phi 01$, $\phi 02$, $\phi 03$, $\phi 04$ は、互いに 90° の位相差を有している。ここで、第1の可変インピーダンス群は、可変インピーダンス部21a, 22a, 23a, 24aを有し、第2の可変インピーダンス群は、可変インピーダンス部21b, 22b, 23b, 24bを有し、第3の可変インピーダンス群は、可変インピーダンス部21c, 22c, 23c, 24cを有し、そして、第4の可変インピーダンス群は、可変インピーダンス部21d, 22d, 23d, 24dを有する。

【0091】すなわち、図20に示されるように、四相クロックのうちで 0° と 180° の位相のクロック（差動のクロック） $\phi 0$ および $\phi 0X$ は、入力バッファ5aを介して可変インピーダンス部21a, 24b, 23c, 22dおよび23a, 22b, 21c, 24dに供給され、また、四相クロックのうちで 90° と 270° の位相のクロック（差動のクロック） $\phi 1$ および $\phi 1X$ は、入力バッファ5bを介して可変インピーダンス部22a, 21b, 24c, 23dおよび24a, 23b, 22c, 21dに供給される。ここで、可変インピーダンス部21a, 21b, 21c, 21dには同一の重み付けが行われ、また、可変インピーダンス部23a, 23b, 23c, 23dにも同一の重み付けが行われる。さらに、可変インピーダンス部22a, 22b, 22c, 22dには同一の重み付けが行われ、また、可変インピーダンス部24a, 24b, 24c, 24dにも同一の重み付けが行われる。

【0092】これにより、出力クロック $\phi 01$, $\phi 02$, $\phi 03$, $\phi 04$ は、それぞれ 90° ずつ異なる入力クロックの組に対して同一の重み付けが行われるため、出力クロック $\phi 01$, $\phi 02$, $\phi 03$, $\phi 04$ の相互間ではそれぞれ 90° の位相差を有する四相クロックとされ、且つ、各出力クロック $\phi 01$, $\phi 02$, $\phi 03$, ϕ

○4は、入力クロック（基準クロック $\phi 0$, $\phi 1$, $\phi 0 X$, $\phi 1 X$ ）に対して同様の位相（重み付け制御された任意の位相）だけされた信号となる。すなわち、各第1～第4の可変インピーダンス群は、それぞれ四相の入力クロック $\phi 0$, $\phi 1$, $\phi 0 X$, $\phi 1 X$ における異なる組み合わせに対して同一の重み付けを行い、入力クロックと同じ四相の出力クロック $\phi 0 1$, $\phi 0 2$, $\phi 0 3$, $\phi 0 4$ を出力する。

【0093】なお、この図20に示す第12実施例のタイミング信号発生回路は、例えば、前述した図4の受信回路におけるタイミング信号発生回路103として適用することができ、例えば、各データ検出ユニット111～114に与えるデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4を発生するために用いることができる。なお、1つのタイミング信号発生回路でデータ検出ユニット制御信号CLKd1, CLKd2, CLKd3, CLKd4および変化点検出ユニット制御信号CLKb1, CLKb2, CLKb3, CLKb4を発生するには、例えば、互いに45°の位相差を有する八相クロックおよび第1～第8の可変インピーダンス群を使用すればよい。

【0094】このように、本発明に係る各実施例によれば、簡単な構成でタイミング信号発生回路を実現することができるため、消費電力および占有面積を低減することができる。また、例えば、前述した図2のようなタイミング信号発生回路では、低電源電圧における動作が困難であり、また、差動アンプの電流源の電流値に重み付けするのは実現困難であるのに対して、本願発明に係る各実施例のタイミング信号発生回路は、可変インピーダンスによる重み付け和の構成を用いるため、入力端子から可変インピーダンス回路を分岐するだけでよいため、実現が極めて容易である。

【0095】(付記1) 複数位相の入力信号を受け取って中間位相の信号を出力するタイミング信号発生回路であって、前記複数位相の入力信号に対して可変インピーダンス手段を用いて重み付けを行うようにしたことを特徴とするタイミング信号発生回路。

【0096】(付記2) 付記1に記載のタイミング信号発生回路において、前記複数位相の入力信号は、三相以上のクロックであることを特徴とするタイミング信号発生回路。

【0097】(付記3) 付記2に記載のタイミング信号発生回路において、前記複数位相の入力信号は、四相クロックであることを特徴とするタイミング信号発生回路。

【0098】(付記4) 付記1に記載のタイミング信号発生回路において、前記可変インピーダンス手段は、前記各相の入力信号のそれぞれに設けられた複数の可変インピーダンスユニットを備えることを特徴とするタイミング信号発生回路。

【0099】(付記5) 付記4に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、複数個並列に接続された抵抗素子とスイッチ素子を備え、該スイッチ素子のオンする個数によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【0100】(付記6) 付記4に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、複数個直列に接続された抵抗素子とスイッチ素子を備え、該スイッチ素子のオンする個数によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【0101】(付記7) 付記4に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、第1, 第2および制御電極を有するトランジスタを備え、該第1の電極で前記各入力信号を受け取り、該第2の電極を出力とし、該制御電極に印加される電圧によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【0102】(付記8) 付記4に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、第1, 第2および制御電極を有するトランジスタを備え、該制御電極で前記各入力信号を受け取り、該第2の電極を出力とし、該第1の電極に印加される電圧によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【0103】(付記9) 付記7または8に記載のタイミング信号発生回路において、前記トランジスタは、MOSトランジスタであることを特徴とするタイミング信号発生回路。

【0104】(付記10) 付記9に記載のタイミング信号発生回路において、前記トランジスタは、並列接続されたPMOSトランジスタおよびNMOSトランジスタであることを特徴とするタイミング信号発生回路。

【0105】(付記11) 付記7～10のいずれか1項に記載のタイミング信号発生回路において、さらに、電流制御信号を電圧制御信号に変換する電流～電圧変換回路を備え、該電圧変換された制御信号によりインピーダンスを制御することを特徴とするタイミング信号発生回路。

【0106】(付記12) 付記7～11のいずれか1項に記載のタイミング信号発生回路において、前記各可変インピーダンスユニットは、それぞれ複数の可変インピーダンス部を備え、該各可変インピーダンスユニットの各可変インピーダンス部をまとめて複数の可変インピーダンス群を構成したことを特徴とするタイミング信号発生回路。

【0107】(付記13) 付記12に記載のタイミング信号発生回路において、前記各可変インピーダンス群は、それぞれ前記複数位相の入力信号における異なる組

み合わせに対して同一の重み付けを行うことを特徴とするタイミング信号発生回路。

【0108】(付記14) 付記13に記載のタイミング信号発生回路において、前記各可変インピーダンス群は、前記複数位相の入力信号と同じ数だけ設けられ、該入力信号と同じ複数位相の信号を出力することを特徴とするタイミング信号発生回路。

【0109】(付記15) 付記14に記載のタイミング信号発生回路において、前記入力信号は四相クロックであり、前記可変インピーダンス群は4つ設けられ、該各可変インピーダンス群は、互いに90°の位相差を有する四相の信号を出力することを特徴とするタイミング信号発生回路。

【0110】(付記16) 付記14に記載のタイミング信号発生回路において、前記入力信号は八相クロックであり、前記可変インピーダンス群は8つ設けられ、該各可変インピーダンス群は、互いに45°の位相差を有する八相の信号を出力することを特徴とするタイミング信号発生回路。

【0111】(付記17) 付記7～16のいずれか1項に記載のタイミング信号発生回路において、さらに、該タイミング信号発生回路の入出力段にバッファを備えることを特徴とするタイミング信号発生回路。

【0112】(付記18) 付記17に記載のタイミング信号発生回路において、前記バッファは、差動バッファであることを特徴とするタイミング信号発生回路。

【0113】(付記19) 入力信号のデータを検出および判定するデータ検出判定回路と、該入力信号の変化点を検出および判定する変化点検出判定回路と、該データ検出判定回路および該変化点検出判定回路からの出力を受け取って位相比較を行なう位相比較回路と、該位相比較回路の出力を受け取って前記データ検出判定回路に第1の内部クロックを供給すると共に前記変化点検出判定回路に第2の内部クロックを供給するクロック信号発生回路とを備える受信回路であって、前記クロック信号発生回路が、付記1～18のいずれか1項に記載のタイミング信号発生回路であることを特徴とする受信回路。

【0114】

【発明の効果】以上、詳述したように、本発明に係るタイミング信号発生回路(受信回路)は、低い電源電圧でも動作可能であり、且つ、簡単な構成でしかも高精度にタイミング信号を発生することができる。

【図面の簡単な説明】

【図1】従来のクロック復元回路を含む受信回路の一例を概略的に示すブロック図である。

【図2】図1の受信回路におけるタイミング信号発生回路の一例を示すブロック回路図である。

【図3】図2のタイミング信号発生回路の動作を説明するための波形図である。

【図4】クロック復元回路を含む受信回路の例を概略的

に示すブロック図である。

【図5】受信回路における各信号のタイミングを示す図である。

【図6】図2のタイミング信号発生回路における位相合成回路の要部を抜粋して示す図である。

【図7】本発明に係るタイミング信号発生回路の原理構成を示す図である。

【図8】本発明に係るタイミング信号発生回路の第1実施例を示す回路図である。

【図9】本発明に係るタイミング信号発生回路の第2実施例を示す回路図である。

【図10】本発明に係るタイミング信号発生回路の第3実施例を示す回路図である。

【図11】本発明に係るタイミング信号発生回路の第4実施例を示す回路図である。

【図12】本発明に係るタイミング信号発生回路の第5実施例を示す回路図である。

【図13】本発明に係るタイミング信号発生回路の第6実施例を示す回路図である。

【図14】本発明に係るタイミング信号発生回路の第7実施例を示す回路図である。

【図15】本発明に係るタイミング信号発生回路の第8実施例を示す回路図である。

【図16】図15のタイミング信号発生回路におけるインバータの構成を示す図である。

【図17】本発明に係るタイミング信号発生回路の第9実施例を示す回路図である。

【図18】本発明に係るタイミング信号発生回路の第10実施例を示す回路図である。

【図19】本発明に係るタイミング信号発生回路の第11実施例を示す回路図である。

【図20】本発明に係るタイミング信号発生回路の第12実施例を示す回路図である。

【符号の説明】

2…可変インピーダンス回路

21, 22, 23…可変インピーダンスユニット
21a, 21b; 22a, 22b; 23a, 23b; 24a, 24b; 21a～21d, 22a～22d, 23a～23d, 24a～24d…可変インピーダンス部
41～43; 5a, 5b; 51～54…入力バッファ
40; 50; 50a, 50b; 501, 502…出力バッファ

101…データ検出判定回路

111～114…データ検出ユニット

102…変化点検出判定回路

121～124…変化点検出ユニット

103…位相可変タイミング信号発生回路

104…位相比較回路

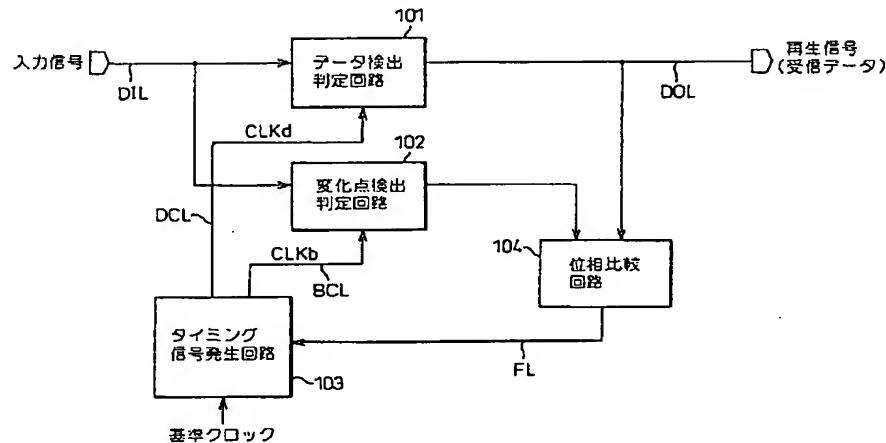
CLKb; CLKb1, CLKb2, CLKb3, CLKb4…
変化点検出ユニット制御信号(変化点検出用クロック)

CLKd ; CLKd1, CLKd2, CLKd3, CLKd4…
 データ検出ユニット制御信号 (データ検出用クロック)
 CSA, CSb, CSC ; CSA1, CSA2, CSb
 1, CSb2, CSC1, CSC2…制御信号
 INA, INb, INC ; IN1~IN4…入力端子
 OUT ; OUT, OUTX ; OUT1, OUT2 ; OU

T1~OUT4…出力端子
 φ0, φ0X, φ1, φ1X…クロック (四相クロック)
 φa, φb, φc…クロック (三相クロック)
 θ, θX ; φo ; φo, φoX ; φo1~φo4…出力
 クロック

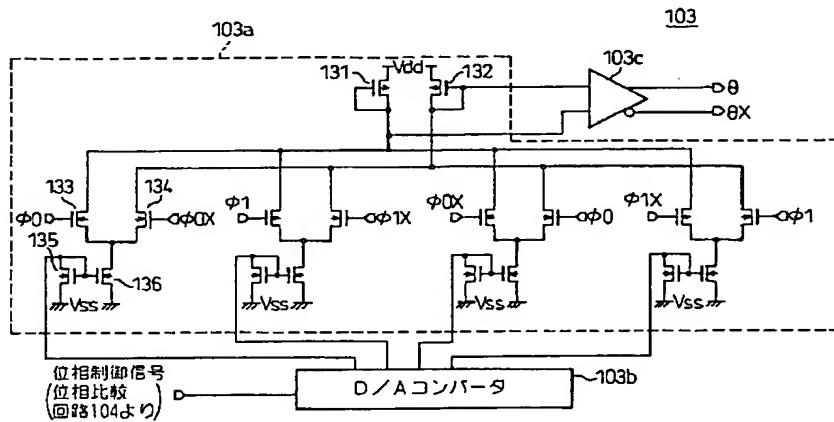
【図1】

従来のクロック復元回路を含む受信回路の一例を概略的に示すブロック図



【図2】

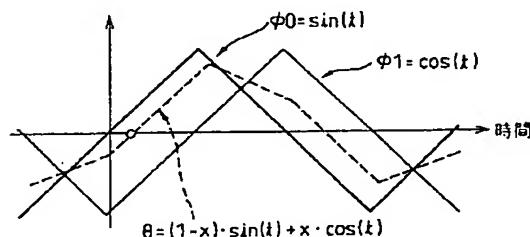
図1の受信回路におけるタイミング信号発生回路の一例を示すブロック回路図



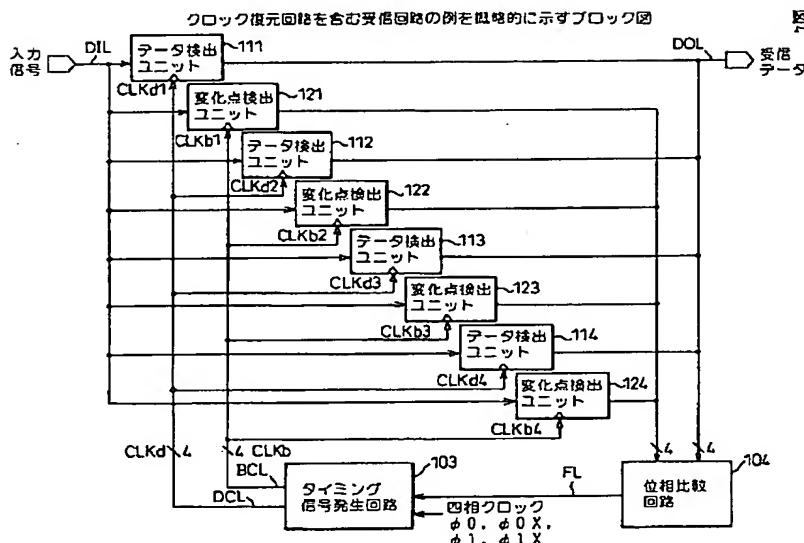
【図3】

図3

図2のタイミング信号発生回路の動作を説明するための波形図



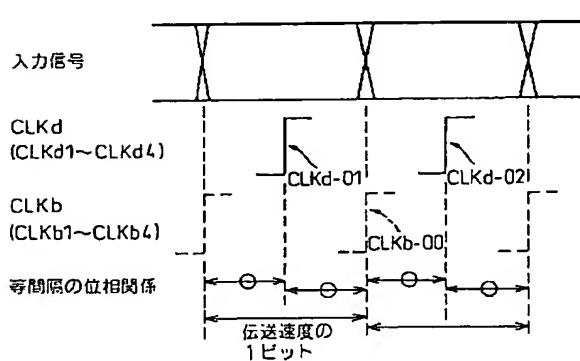
【図4】



【図5】

図5

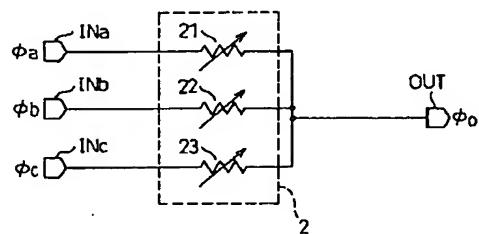
受信回路における各信号のタイミングを示す図



【図7】

図7

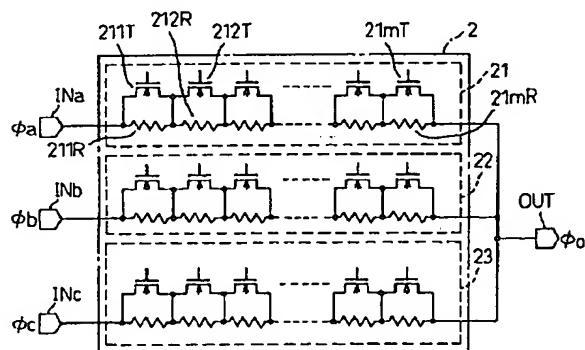
本発明に係るタイミング信号発生回路の原理構成を示す図



【図8】

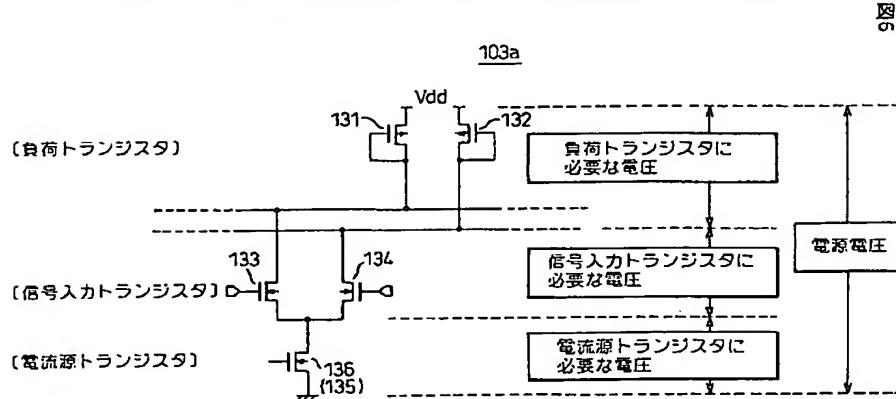
図8

本発明に係るタイミング信号発生回路の第1実施例を示す回路図



【図6】

図2のタイミング信号発生回路における位相合成回路の要部を抜粋して示す図

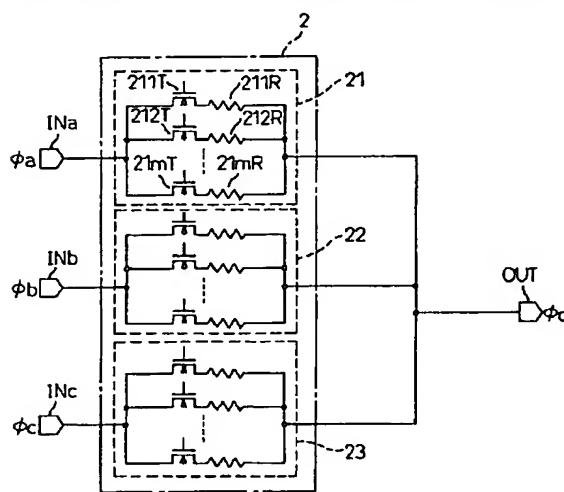


【図9】

図6

【図10】

図9
本発明に係るタイミング信号発生回路の第2実施例を示す回路図



【図11】

図11
本発明に係るタイミング信号発生回路の第4実施例を示す回路図

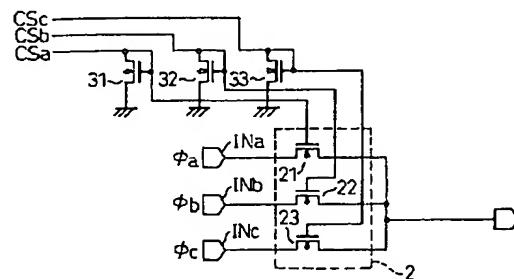
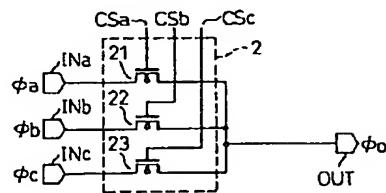


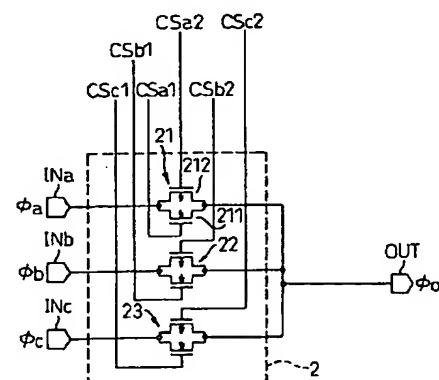
図10

本発明に係るタイミング信号発生回路の第3実施例を示す回路図



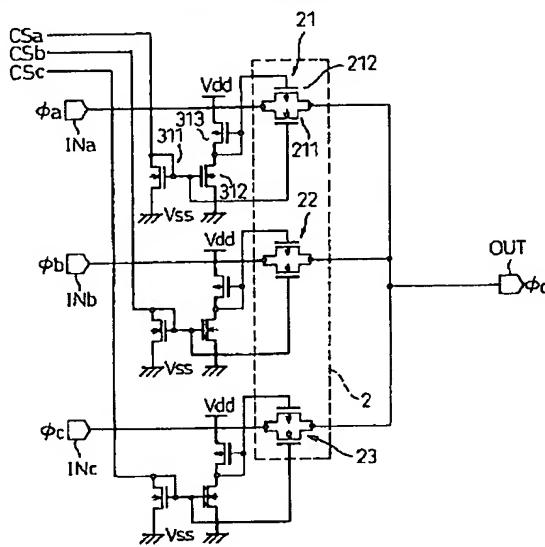
【図12】

図12
本発明に係るタイミング信号発生回路の第5実施例を示す回路図



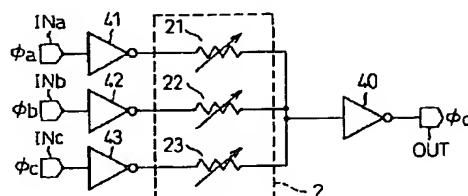
【図13】

図13
本発明に係るタイミング信号発生回路の第6実施例を示す回路図



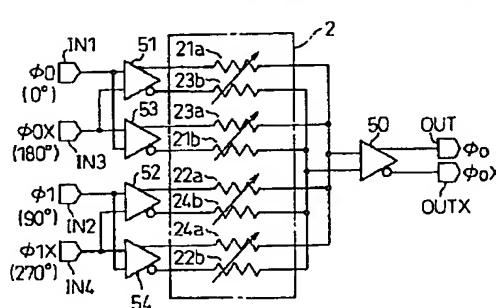
【図15】

図15
本発明に係るタイミング信号発生回路の第8実施例を示す回路図



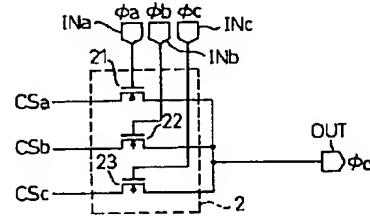
【図17】

図17
本発明に係るタイミング信号発生回路の第9実施例を示す回路図



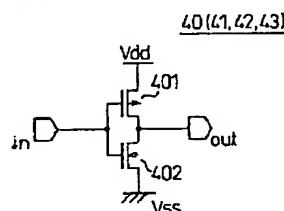
【図14】

図14
本発明に係るタイミング信号発生回路の第7実施例を示す回路図



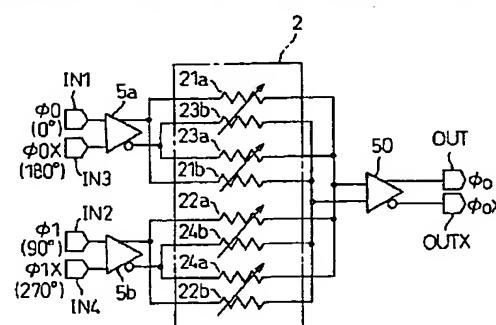
【図16】

図15のタイミング信号発生回路におけるインバータの構成を示す図



【図18】

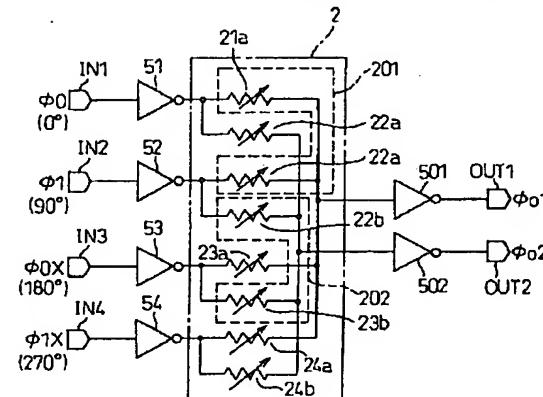
図18
本発明に係るタイミング信号発生回路の第10実施例を示す回路図



【図19】

図19

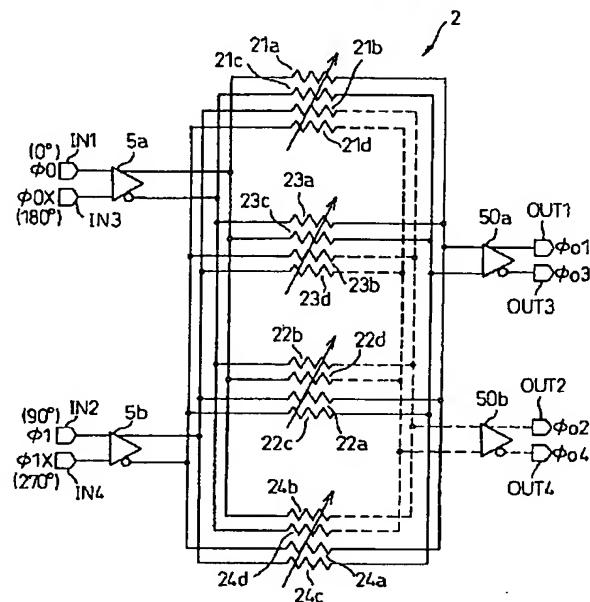
本発明に係るタイミング信号発生回路の第11実施例を示す回路図



【図20】

図20

本発明に係るタイミング信号発生回路の第12実施例を示す回路図



フロントページの続き

(72)発明者 田村 泰孝

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5B077 GG03 GG33 MM01 MM02

5B079 CC01 CC08 CC14 DD05 DD13
5J106 AA04 CC03 CC21 CC59 EE01
FF02 FF09 GG10 JJ01 KK14